

**THIS PAGE IS INSERTED BY OIPE SCANNING
AND IS NOT PART OF THE OFFICIAL RECORD**

Best Available Images

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

BLURRY OR ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE

VERY DARK BLACK AND WHITE PHOTOS

UNDECIPHERABLE GRAY SCALE DOCUMENTS

**IMAGES ARE THE BEST AVAILABLE
COPY. AS RESCANNING *WILL NOT*
CORRECT IMAGES, PLEASE DO NOT
REPORT THE IMAGES TO THE
PROBLEM IMAGE BOX.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-217981

(43)Date of publication of application : 27.08.1993

(51)Int.CI.

H01L 21/304
H01L 21/02
H01L 21/74

(21)Application number : 04-016745

(71)Applicant : CANON INC

(22)Date of filing : 31.01.1992

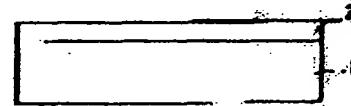
(72)Inventor : MIYAWAKI MAMORU

(54) SEMICONDUCTOR MEMBER AND SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor member capable of forming an integrated circuit of high integrating degree with good mass-productivity by a method wherein the main surface of a single crystal semiconductor layer is washed by ammonia hydrogen peroxide so that the roughness of the main surface becomes less than a specified value.

CONSTITUTION: A main surface, provided with a so-called 4° - OFF substrate or the Si epitaxial layer 2 of a single crystal substrate 1 whose surface is slanted by $4^\circ \pm 0.5^\circ$ from the (100) surface normally, is ground. In this case, the surface is washed by ammonia hydrogen peroxide having a volumetric ratio of NH4O:H2O2:H2O=1:1.5 for 10min at the washing temperature of 85° C, then, is washed by super pure water having a room temperature for 10min to obtain the center line average roughness of 0.4mm or less in the standard of Ra, which is specified by JIS standard X (B0601). According to this method, the single crystal main surface becomes flat extremely and the single crystallinity of the same is improved.



LEGAL STATUS

[Date of request for examination] 27.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3187109

[Date of registration] 11.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-217981

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/304	3 4 1 L	8728-4M		
21/02	B	8518-4M		
21/74		9169-4M		

審査請求 未請求 請求項の数 8 (全 9 頁)

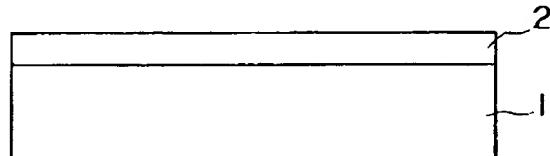
(21)出願番号	特願平4-16745	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成4年(1992)1月31日	(72)発明者	宮脇 守 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	弁理士 谷 義一 (外1名)

(54)【発明の名称】 半導体部材および半導体装置

(57)【要約】

【目的】 高速・高集積の集積回路を形成し得る半導体部材を提供する。

【構成】 半導体部材は機能素子が形成されるべき単結晶半導体層2を有し、この単結晶半導体層2の主面はアンモニア過酸化水素水で洗浄された時の中心線平均粗さRaが0.4nm以下である。



1

【特許請求の範囲】

【請求項1】 機能素子が形成されるべき単結晶半導体層を有し、該単結晶半導体層の主面が、体積比が $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ なる組成のアンモニア過酸化水素水を用いて洗浄時間10分、洗浄温度85℃なる洗浄条件の下で前記主面を洗浄した際に表面状態が中心線平均粗さ R_a で0.4nm以下の表面特性を有することを特徴とする半導体部材。

【請求項2】 機能素子が形成されるべき単結晶半導体層を有し、該単結晶半導体層の主面が、体積比が $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ なる組成のアンモニア過酸化水素水を用いて洗浄時間10分、洗浄温度85℃なる洗浄条件の下で前記主面を洗浄した際に表面状態が中心線平均粗さ R_a で0.4nm以下の表面特性を有する半導体部材であって、前記単結晶半導体層は、1000℃、4時間の湿式酸化と前記洗浄条件の下での洗浄をくり返し行って前記主面から40nmエッチング除去した際、エッチング処理表面が中心線表面粗さ R_a で0.4nm以下の表面状態を示すことを特徴とする半導体部材。

【請求項3】 前記単結晶半導体層が、半導体基体上に形成されたエピタキシャル成長層であることを特徴とする請求項1ないし請求項2に記載の半導体部材。

【請求項4】 前記単結晶半導体層が、絶縁層を介して半導体基体上に形成されていることを特徴とする請求項1ないし請求項2に記載の半導体部材。

【請求項5】 主面が、体積比が $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ なる組成のアンモニア過酸化水素水を用いて洗浄時間10分、洗浄温度85℃なる洗浄条件の下で前記主面を洗浄した際に表面状態が中心線平均粗さ R_a で0.4nm以下の表面特性を有する単結晶半導体層と、該単結晶半導体層に設けられた機能素子と、を具備することを特徴とする半導体装置。

【請求項6】 主面が、体積比が $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ なる組成のアンモニア過酸化水素水を用いて洗浄時間10分、洗浄温度85℃なる洗浄条件の下で前記主面を洗浄した際に表面状態が中心線平均粗さ R_a で0.4nm以下の表面特性を有し、1000℃、4時間の湿式酸化と前記洗浄条件の下での洗浄をくり返し行って前記主面から40nmエッチング除去した際、エッチング処理表面が中心線表面粗さ R_a で0.4nm以下の表面状態を示す単結晶半導体層と、該単結晶半導体層に設けられた機能素子と、を具備することを特徴とする半導体装置。

【請求項7】 前記単結晶半導体層が、半導体基体上に形成されたエピタキシャル成長層であることを特徴とする請求項5ないし請求項6に記載の半導体装置。

【請求項8】 前記単結晶半導体層が、絶縁層を介して半導体基体上に形成されていることを特徴とする請求項

50

2

5ないし請求項6に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体部材、特に高集積度の集積回路を形成するのに好適な半導体部材およびそのような半導体部材に機能素子が形成された半導体装置に関する。

【0002】

【従来の技術】 単結晶Siウエハに代表される半導体部材は集積回路を形成する部材として使用され、その結晶品質もより良質なものが開発されつつある。

10

【0003】 他方、システム機器の取り扱う情報の増大に伴って、集積回路にはより高い集積度および高速動作が強く要求されている。また、高集積化が進むにつれて集積回路中のトランジスタ等の素子の寸法が微小化され、半導体装置の製造工程におけるチップ歩留りを一定の水準以上に維持または向上させる上で、各素子の信頼性が非常に重要になってきている。トランジスタ、ダイオード等の各素子の信頼性には集積回路が形成される半導体部材の表面平坦性および結晶性の良否が大きく影響する。例えば、DRAMにおいて256Mビット～1Gビットレベルの集積度を達成するためには、半導体表面に形成される絶縁層の膜厚は、1.0～1.5nmと極めて薄くする必要がある。又、リフレッシュ周期が64ms～8ms程度のDRAMが形成できる結晶性の良好な半導体部材が要求されている。

20

【0004】 さらに、トランジスタの信頼性をより高めるためには、以上の点ばかりでなく、半導体部材表面に存在する金属あるいは有機物の汚染およびパーティクルの除去が必須とされている。このため、いくつかの表面洗浄方法が提案されているが、現在金属あるいは有機物汚染およびパーティクルの除去として有力と思われる洗浄法にアンモニア過酸化水素水($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$)洗浄がある。

30

【0005】 ところが、従来の半導体部材では、一般に使用されている組成のアンモニア過酸化水素水(体積比が $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ なる組成)で洗浄処理すると、汚染は除去されるものの、洗浄前には表面凹凸が例えば0.2nmと平坦であったものが洗浄後には表面凹凸が約0.5nm以上とその表面が粗れ、例えばMOS-FETを形成した場合にはゲート酸化膜の絶縁耐圧が設計の要求を満たさないという問題があった。

40

【0006】 一方、バルクとは異なる半導体部材として、さらに下記の点で優れたシリコン・オン・インシュレーター(SOI)型ウエハが注目を集めている。その理由は以下の特徴があるからである。

- 【0007】 1. 誘電体分離が容易で高集積化が可能
2. 対放射線耐性に優れている
3. 浮遊容量が低減され高速化が可能

4. ウエル工程が省略できる
5. ラッチアップを防止できる
6. 薄膜化による完全空乏型電界効果トランジスタが可能
7. 微細トランジスタにおいても短チャネル効果の抑制が可能

SOI型半導体部材として最も広く使用されているものにサイモックスと称されるウエハと二枚のSiウエハをはり合せて形成したSOIウエハ(貼り合わせSOIウエハ)がある。

【0008】サイモックス(SIMOX: Separation by ion-implanted oxygen)ウエハとはSi単結晶半導体基体中にイオン注入によって酸素を注入してSi単結晶半導体基体内部にSiO₂層を形成して表面にSi単結晶半導体薄層を設けたものである。このような構成のサイモックスウエハは、Si半導体プロセスと整合性が比較的良いためSOI型半導体部材の中では現在よく使用されている。

【0009】しかしながら、Si単結晶半導体基体内部にSiO₂層を形成するためには、Si単結晶半導体基体中に酸素イオンを10¹⁸ ions/cm²以上も注入する必要があるが、その注入時間が長大であり、工業的には生産性が高いとはいはず、ウエハコストも高い。さらに、表面に設けられたSi単結晶半導体薄層にはイオン注入の過程で発生した結晶欠陥が多く存在する。このため、サイモックスウエハは、例えば、工業的に見て、高集積回路を歩留まりよく作製できるに充分良好な結晶品質を本質的に持ち合わせることはできない。又、サイモックスウエハは、その表面に上述したアンモニア過酸化水素水洗浄を適用すると、表面凹凸が、数nm以上になり高集積回路形成用には向かない。

【0010】一方、貼り合わせSOIウエハとは、二枚のSiウエハを用意し、第一のSiウエハ表面を酸化してSiO₂層を形成しておき、第二のウエハを第一のウエハの前記SiO₂層表面にはり合わせた後、第二のウエハの自由表面を研磨して、SiO₂層上にSi単結晶薄層を形成するものである。貼り合わせSOIウエハは前に述べたサイモックスウエハよりも結晶性が良好である反面、研磨するさいのSi単結晶薄層の層厚制御を厳密に行う必要がある。しかし現在のところこの層厚制御を、ウエハ全面において層厚分布で数%以下にすることは非常に困難である。さらに、はり合せSOIウエハはその表面に、先に述べたアンモニア過酸化水素水洗浄を適用すると、ウエハ表面はその表面凹凸が0.5~0.8nmと粗面化され、SOI型ウエハが本来有する優れた特徴が生かせないという問題点を有していた。

【0011】

【発明が解決しようとする課題】上述したように、これまでの半導体部材はその表面平坦性および結晶性において、高集積かつ高速動作可能な半導体装置を量産性よく

形成するには必ずしも十分なものではなかった。

【0012】本発明はかかる従来の問題点を解決し、従来に比べ各段に高速・高集積度の集積回路を量産性よく形成し得る半導体部材を提供すること、およびそのような半導体部材を用いた半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明による半導体部材は、機能素子が形成されるべき単結晶半導体層を有し、該単結晶半導体層の主面が、体積比がNH₃ OH : H₂ O₂ : H₂ O = 1 : 1 : 5なる組成のアンモニア過酸化水素水を用いて洗浄時間10分、洗浄温度85℃なる洗浄条件の下で前記主面を洗浄した際に表面状態が中心線平均粗さRaで0.4nm以下の表面特性を有することを特徴とする。

【0014】ここで単結晶半導体層が半導体基体上に形成されたエピタキシャル成長層であってもよく、単結晶半導体層が絶縁層を介して半導体基体上に形成されてもよい。

【0015】さらに、本発明による半導体装置は前述した半導体部材に機能素子が形成されていることを特徴とする。

【0016】

【作用】本発明による半導体部材は集積回路を形成すべき単結晶層の主面が極めて平坦であり、かつ単結晶層の結晶性が非常に良好である。そのために、この半導体部材を用いて従来に比べ各段に高速動作可能でありかつ集積度が著しく高い半導体装置を形成することができる。又生産的には高歩留まりで生産することができ、量産効果を著しく発揮することができる。

【0017】

【好適な実施態様例】以下、図面を参照して本発明の好適な実施態様例を詳細に説明する。

【0018】図1は本発明の好適な実施態様例の半導体部材を示す模式的断面図である。

【0019】図1において、1はSi単結晶基板で、通常その表面が(100)面から4°±0.5°傾いた、いわゆる4°オフ基板を用いる。導電型はp型もしくはn型である。基板1の表面には、後の機能素子形成において埋め込み層となるn'もしくはp'のイオン注入層を設けておいてもよい。2は単結晶基板1上に成長させたSiエピタキシャル層で、層厚は、好ましくは0.01μm~数十μmとされ、層中に含有される不純物濃度はこのSiエピタキシャル層に形成されるデバイス形態に応じて選択すればよい。単結晶基板1のSiエピタキシャル層2が少なくとも設けられる主表面は、高精度の研磨技術を用いて研磨され、その表面の凹凸はJIS規格X「B0601」に規定された中心線平均粗さRaで0.2nm以下となっているのが望ましい。

【0020】図1に示す半導体部材を、体積比でNH₃

$\text{OH} : \text{H}_2 \text{O}_2 : \text{H}_2 \text{O} = 1 : 1 : 5$ のアンモニア過酸化水素水（評価洗浄液）で10分間、洗浄温度85℃なる洗浄条件で洗浄し、室温に温度調整されている超純水（溶存酸素量：40 ppb以下）で10分間洗浄した時の表面の中心線平均粗さRaは0.2 nm以下である。本発明において使用される前記評価洗浄液は、厳格な洗浄評価を得る目的から、昨今の高集積回路装置の作成において使用されるアンモニア過酸化水素水洗浄液として入手可能なグレードの比較的高いものを用いるのが望ましい。その中でも例えば、 NH_4OH としては、三共化成（株）製の「2.9 wt% EL+」、 H_2O_2 としては、三徳化学（株）製の「3.0 wt%ハイグレード」、 H_2O としては、超純水（溶存酸素量：40 ppb以下）のものを用いて調合されたものがより好ましいものとして使用される。

【0021】実施例1

以下に説明する工程に従って図1に示した半導体部材と同様の構成の半導体部材を作製した。

【0022】表面凹凸が0.2 nm以下に研磨された4.0 cm^{-2} のオフn型基板（S）を、硫酸 H_2SO_4 と過酸化水素水 H_2O_2 の混合液（体積比で $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$ ）（以降「 $\text{H}_2\text{SO}_4 / \text{H}_2\text{O}_2$ 混合液」と記す）中で5分間洗浄し、前記と同様の超純水で5分間リーン洗浄を行った。次に、表面に形成された酸化膜および金属不純物をフッ酸過酸化水素水（重量比で $\text{HF} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.05 : 0.1 : 9$ ）により除去した。その後、パーティクル除去のため、アンモニア過酸化水素水（体積比で $\text{NH}_4\text{OH} : \text{H}_2\text{O} : \text{H}_2\text{O}_2 = 1 : 1 : 5$ ）によって洗浄した。その後、前記と同様の超純水で洗浄し、さらに N_2 雰囲気下で温超純水（100℃に温度調整されている）洗浄を行い、 N_2 雰囲気中でスピンドライヤーにより乾燥させ、減圧CVD装置にローディングした。次いで減圧CVD装置内を 10^{-6} Torr以下に減圧状態にし、高純度水素ガス（残留水分濃度は40 ppb以下）をラジカル化のための触媒を介して装置内に導入した。そして基板（S）を300℃に加热した状態で基板（S）表面を水素ラジカル雰囲気に30分間さらした。このようにして基板（S）表面を水素化処理した。この際の基板（S）の加热温度はその他の条件に応じて適宜選択されるものであるが、200℃～400℃の範囲の任意の温度に設定されるのが望ましい。基板（S）表面の水素化処理状態の程度は、水素化処理した基板（S）表面を大気中に1週間放置した後、XPS装置により表面に形成される自然酸化膜の膜厚を測定することにより評価した。前記の手順で表面を水素化処理した基板（S）の表面の水素化処理状態の程度は、表面の自然酸化膜の膜厚が0.2 nm以下とほとんど自然酸化膜の成長が見られないことから基板（S）の表面は水素でほとんど終端されていると推定される。ひきつづき反応ガス SiH_2Cl_2 、その流

量1000 SCCM、圧力80 Torr、温度950℃の条件で前記基板（S）の水素化処理をした前記表面にSiのエピタキシャル成長を行った。

【0023】以上説明したように、エピタキシャル成長前のSi基板（S）表面の凹凸はRaで0.2 nm以下に制御されており、また、エピタキシャル成長前のSi基板（S）表面は水素で終端され、汚染材がSi基板（S）表面に付着しないため、良質のSi単結晶をSi基板（S）表面に成長させることができた。

【0024】このようにして作製した半導体部材を85℃のアンモニア過酸化水素水（体積比で $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ ）で10分間洗浄し、前記と同様の室温の超純水で10分間洗浄し、さらに前記と同様の温純水による洗浄を10分行った。走査型トンネル顕微鏡（STM）観察によれば、洗浄後のエピタキシャル層の表面の凹凸はRaで0.2 nm以下におさまっていることが確認できた。

【0025】本実施例においてはSiエピタキシャル層の表面平坦性に加え、その結晶性を以下に説明する方法によって評価した。すなわち、上述した、アンモニア過酸化水素水洗浄、室温純水および温純水洗浄後のSiエピタキシャル層の表面を、1000℃における4時間の温式酸化（水中バーリングした酸素による）と、上述したアンモニア過酸化水素水による洗浄の繰り返しによってエッチング除去し、エッチングの進行と表面の凹凸との関係を調べた。表面の凹凸はエッチング深さ40 nm程度まではエッチングの進行と共に増加するが、それ以後はほぼ一定値に近づく。本発明の半導体部材に対してその正面から40 nmまでエッチング除去した時のSiエピタキシャル層のエッチング処理表面は、その表面粗さRaが0.3 nm以下と極めて平坦であった。これはエピタキシャル層の結晶性が極めて良好であることを示すものである。

【0026】このようにして形成されたエピタキシャル層を有する図1に示した構成の半導体部材に、ゲート長0.3 μm の微細なMOS-FETから構成される16Mの集積度のSRAM装置を形成した。この際の歩留りは70%であり高歩留りで形成することができた。得られたSRAM装置のアクセスタイムは、5～6 nsecであり高速動作のSRAM装置が実現できた。その技術的理由はゲート絶縁層とSiエピタキシャル層界面が極めて平坦で界面移動度がバルクSiと同程度まで高くなっているためであると推測される。

【0027】実施例2

図2に本発明による半導体部材の第2の実施例の模式的断面を示す。

【0028】図2において、11は表面が中心線平均粗さRaが0.2 nm程度に研磨された基板で、Si基板等が使用できる。Si基板11の導電型はn型でもp型でも良く、不純物濃度は後述する単結晶Si薄膜上に形

成されるデバイスに応じて、通常 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ のもので良い。12はSiO₂層で、膜厚は通常0.1～1.0 μm程度であるが、高耐圧のMOS-FETを形成する場合は数μm～数十μmと厚くすれば良い。13は単結晶Si薄膜でその厚さは通常0.01～数十μmである。図2に示すように、単結晶Si薄膜13はその端部が基板11およびSiO₂層12の端部より内側に位置する構造となっている。単結晶Si薄膜13の表面は平坦で、前記のアンモニア過酸化水素水で洗浄した後の中心線平均粗さRaは0.4 nm以下である。

【0029】図2に示した半導体部材に機能素子を形成する場合、例えばゲート酸化膜のような酸化層を形成する必要がある。

【0030】酸化膜の形成を以下の手順によって行った。

【0031】最初にH₂SO₄/H₂O₂混合液中で5分間洗浄後、前記と同様の超純水で5分洗浄し、表面に形成された酸化膜およびその中に混入している金属不純物を前記と同様のフッ酸過酸化水素水混合液により、除去した。その後パーティクル除去のためアンモニア過酸化水素水（体積比でNH₃OH:H₂O₂:H₂O=1:1:5）を用いて表面の洗浄を行った。これによって表面のパーティクルはほぼ完全に除去された。その後半導体部材を前記同様の室温超純水および温超純水で洗浄した。この時の単結晶Si薄膜の表面の中心線平均粗さRaは0.4 nm以下であった。次いでこの単結晶Si薄膜を用いてMOS-FETの20万ゲートの集積回路装置を作成した。MOS-FETのゲート酸化膜はドライ酸化（1000°C）によって厚さ100 Åに形成した。形成された酸化膜の電気絶縁耐圧はすべてのMOS-FETにおいて12 MV/cm以上という優れた性能を実現することができた。

【0032】図2に示した半導体部材は図3に示した工程によって作製した。

【0033】p型で不純物濃度 $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の第1の基板14および白金電極をH₂O:C₂H₅OH=1:1:1（体積比）の溶液に浸漬し、前者に正の、後者に負の電圧を印加して30 mA/cm²の電流を流した。これにより、基板14の表面に、図3(a)に示す多孔質Si層15を形成した。この多孔質Si層15の孔は直径が数nm程度の極めて微細なものであり、孔の間隔は数10 nm程度であった。次に溶液をH₂O:C₂H₅OH=1:1（体積比）の液に替え、極性を逆にして電流を流し、多孔質層中に取り込まれたフッ酸を引き出した。次いで、H₂SO₄:H₂O₂=4:1（体積比）混合液で5分間洗浄し、純水で10分間リーン洗浄した。その後N₂雰囲気中で、400°Cの加熱を行い、真空中でベークしてN₂等の不活性ガスでバージした。さらにO₂雰囲気中で400°C、30分間熱処理を行って多孔質層の孔の内部を酸化層で充填

し、その表面にも酸化層を形成した。O₂雰囲気中での熱処理後、表面に形成された薄い酸化膜をH₂O:C₂H₅OH=0.05:0.1:9（重量比）液で除去し、水素雰囲気中で900°C、10分熱処理した。これにより多孔質層15の表面の凹凸は平坦化された。水素雰囲気中の熱処理に替え、基板（S）を200～400°Cに加熱して水素ECRプラズマ（10 mTorr、200 W）を照射しても良く、またH₂希釈の紫外線励起F₂ガスによる表面処理を行っても良い。後者の場合、O₂:0.03容量%添加、H₂:50容量%希釈のF₂:0.5容量%混合ガスを用いると平坦化効果は顕著である。

【0034】この平坦化された多孔質層15上に、分子線エピタキシャル成長法、バイアスパッタ法、減圧CVD法等により、低温（望ましくはエピタキシャル成長面を300～900°Cの範囲の温度に維持する）下で成長速度をおとして、エピタキシャル成長させることで、0.1～1 μm厚のSi単結晶層13を平坦化された多孔質層15上に成長させる（図3(b)）。本実施例においてはバイアスパッタ法を採用した。そしてエピタキシャル成長面の温度を350°Cに維持し、ベースプレシャー10⁻¹⁰ Torr、3 mTorrのArプラズマ雰囲気下で平坦化された多孔質層15上にSiエピタキシャル層13を成長させて半導体部材（I）を得た。

【0035】このように成長させたSiエピタキシャル層13の表面凹凸は中心線平均粗さRaで約0.3 nmとなっていた（STMで測定して評価した）。

【0036】このように成長させたSiエピタキシャル層13の表面が極めて平坦化されているのは、前述の平坦化処理された多孔質層15上にエピタキシャル成長させたからであると推測される。

【0037】N₂雰囲気中に於いて、図3(b)に示した半導体部材（I）表面を前述と同様にアンモニア過酸化水素水洗浄し室温超純水洗浄した後、前述と同様に温超純水洗浄した（洗浄時間500～600秒）。これによりSiエピタキシャル層13の表面は水素で終端し、その表面は化学的に安定し、かつ他の不純物からの汚染に対する耐性が向上した。

【0038】次に、図3(c)に示すように、第二のSi基板11の表面に熱酸化層12（層厚500 nm）を形成し半導体部材（II）を得た。半導体部材（II）を図3(b)に示した半導体部材（I）とともに、貼り合わせ装置内のN₂雰囲気中に投入した。

【0039】この状態で、図3(d)に示すように、熱酸化層12とエピタキシャル層13の表面とを接触させ、約800～900°Cに加熱した。この工程により、両者は安定に結合した。また、このような低温での熱処理により多孔質層15中に含まれているp型不純物、例えば、ボロンがエピタキシャル層13へ拡散することも防止できた。

【0040】次に、図3 (e) に示すように、Si基板14をわずか数～数10μm残してパックグラインダーにより除去した。残されたSi層14をフッ硝酸によってエッチした。この際、エピタキシャルSi層13の側面はエッティング除去されたが、フッ硝酸溶液では多孔質層15はエッティングされなかった。

【0041】この多孔質Si層15のみを無電解湿式エッティングする選択エッティング法について説明する。

【0042】結晶Siに対してはエッティング作用を持たず、多孔質Siのみを選択エッティング可能なエッティング液としては、弗酸、フッ化アンモニウム(NH₄F)やフッ化水素(HF)等バッファード弗酸、過酸化水素水を加えた弗酸またはバッファード弗酸の混合液、アルコールを加えた弗酸またはバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸またはバッファード弗酸の混合液が好適に用いられる。はり合わせた基板をこれらの溶液に湿潤させてエッティングを行った。エッティング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度および温度に依存する。過酸化水素水を添加することによって、Siの酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができた。またアルコールを添加することにより、エッティングによる反応生成気体の気泡を、瞬時にエッティング表面から攪拌することなく除去でき、均一にかつ効率よく多孔質Siをエッティングすることができた。

【0043】バッファード弗酸中のHF濃度は、エッティング液に対して、好ましくは1～9.5重量%、より好ましくは1～8.5重量%、さらに好ましくは1～7.0重量%の範囲で設定され、バッファード弗酸中のNH₄F濃度は、エッティング液に対して、好ましくは1～9.5重量%、より好ましくは5～9.0重量%、さらに好ましくは5～8.0重量%の範囲で設定される。

【0044】HF濃度は、エッティング液に対して、好ましくは1～9.5重量%、より好ましくは5～9.0重量%、さらに好ましくは5～8.0重量%の範囲で設定される。

【0045】H₂O₂濃度は、エッティング液に対して、好ましくは1～9.5重量%、より好ましくは5～9.0重量%、さらに好ましくは1～8.0重量%で、かつ上記過酸化水素水の効果を奏する範囲で設定される。

【0046】アルコール濃度は、エッティング液に対して、好ましくは8.0重量%、より好ましくは6.0重量%以下、さらに好ましくは4.0重量%以下で、かつ上記アルコールの効果を奏する範囲で設定される。

【0047】温度は、好ましくは0～100°C、より好ましくは5～80°C、さらに好ましくは5～60°Cの範囲で設定される。

【0048】本工程に用いられるアルコールはエチルアルコールの他、イソプロピルアルコールなど製造工程等

に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0049】このようにして得られた図3 (f) に示される構成の半導体部材 (III) は、通常のSiウエハと同等な単結晶Si層が平坦にしかも均一に薄層化されて基板11全域に大面積に形成されている。

【0050】上述した多孔質層15のエッティング工程を経た形態の図3 (f) に示される半導体部材 (III) は、図2に示されるものと実質的に同じ構成である。図3 (e) に示したように、半導体部材周辺部はその厚さが少し薄くなっているため、エピタキシャル層13とSiO₂層12は半導体部材周辺部では結合していない。のために、図3 (f) に示すように半導体部材エッジから少し内側にエピタキシャル層13が形成された構造となっている。

【0051】このSiエピタキシャル層13を前述したアンモニア過酸化水素水で洗浄した時の表面は、走査型トンネル顕微鏡(STM)によれば、中心線平均粗さRaが0.3nm以下と極めて平坦であった。さらに、ウエット酸化とアンモニア過酸化水素水の洗浄の繰り返しによって、40nmエッティング除去した後のRaも0.3nm以下であって、エピタキシャル層の結晶性が良好であることが確認された。

【0052】以上説明したように、SiO₂層12上のSiエピタキシャル層13は結晶欠陥、不純物の混入が通常のウエハよりも低くおさえられているために、デバイス性能を高めることができた。

【0053】次に、図2に示した半導体部材の第2の作製方法について図4を用いて説明する。

【0054】図4 (a) に示すように、第1の基板、例えばp型Si(100)基板11上に、熱酸化膜12を形成しておき、一方、表面をその粗さがRa=0.2nm程度に研磨した第2の基板、例えば不純物濃度10¹⁴cm⁻³の第2のSi(100)基板16を酸化膜12と対面させてはり合せる。はり合せる前の洗浄は、第1の作製方法で説明したものと同等の方法を用いれば良い。次に、第2の基板16を研磨等の方法により図4 (b) に示すように、所望のSi薄膜厚+0.8～1.2μm程度の膜厚を残して除去する。所望のSi薄膜厚は、完全空乏型SOI型MOSFETを形成する場合、0.05～0.2μm程度である。このSi層16の除去は研磨に限らず、ドライエッチ等で行っても良いことは言うまでもない。その後、図4 (c) に示すように、Si層16の表面に1000°Cの湿式酸化によって酸化層17を形成し、Si層16の厚さが所望の値となるようにする。この工程により、Si基板16の中に存在した欠陥は、酸化層17にすい出され、良質な結晶層となる。酸化層17は、例えば、界面活性材入りのBF₂：NH₄F+H₂O+HFで除去すれば良い。酸化層17を除去した構造は図2に示した構造と同等である。第2の作

11

成法により作成した図2に示す構成の半導体部材(2)に対してアンモニア過酸化水素水洗浄を10分施した場合表面凹凸は0.4nm以下であった。一方第2の作成法により作成した図2に示す構成の半導体部材(2)に湿式酸化(1000°C、4時間)とアンモニア過酸化水素水洗浄(10滴)とを繰り回してSi単結晶薄膜を自由表面から40nmエッティング除去した後のSi単結晶薄膜のエッティング処理表面のRaは0.5nm以下であった。

【0055】実施例3

図5に本発明の第3の実施例の断面を模式的に示す。

【0056】この実施例が図2に示した実施例と異なる点は、単結晶Si薄膜13が他方のSi基板11に形成された絶縁層12とSiO₂層17を介して接続されている点である。この構成によりデバイスの活性層となるSi層13とSiO₂層12との界面がはり合せ部ではなくなり、そこでの界面準位が第2の実施例に比べて低減でき、この半導体部材にトランジスタ等を形成した場合、リーク電流が低減できるという利点を有する。

【0057】そこでこの構造の作製方法について次に簡単に説明する。図3(b)に示した工程まで到達したウエハを白金過酸化水素水Pt-H₂O₂中に浸す。この処理によりウエハ表面には10数Åの薄い酸化膜が形成される。次にこのウエハをN₂雰囲気中で500°Cに加熱し、この薄い酸化膜の密度を高める。この処理により500°Cという低温で、極めて膜厚の均一性の良い良質な酸化膜17が形成される。この酸化に要する温度は低いため、多孔質層からのボロン拡散もなくデバイスに与える影響もない。また酸化膜厚が10数Åと薄いため、酸化による膜のそり等も少なくはり合せにも問題は生じない。

【0058】アンモニア過酸化水素水による洗浄後の表面粗さおよび40nmエッティング除去した後の表面粗さは実施例1および2と同様である。

【0059】実施例4

図6は本発明の第4の実施例の模式的断面図である。図1および図2に示した実施例と異なる点は基板11の表面に設けられた絶縁層が必ずしも熱酸化膜でない点である。図6において、18はBPSG(ボロンリンドープガラス)、19はSiO₂、N₂-膜である。はり合せ界面にSiO₂に比べてリフロー特性の優れた材料からなる層を設けることにより、はり合せがより完全になり、かつ均一性が改善される利点を有する。

【0060】本実施例ではBPSGとSiON膜との組み合せについて説明したが、BPSGまたは熱SiO₂膜よりリフロー特性のよいCVDで形成したNSG(ノンドープガラス)、PSGを単独で設けても良く、SiON以外にもAIN、SiN等またはそれらとの組み合せも可能である。

【0061】実施例5

12

上記各実施例の全工程を低カーボンAr、N₂等の不活性ガス雰囲気中でかつ、そのガスに紫外線を照射し雰囲気中をイオン化し、ガスの流動によって生ずるウエハ上の静電気を除外しながら半導体部材を作製した。通常N₂ガスをダウンフローにより流すと、ウエハは数~数10kVまで容易に帯電してしまう。このため、ウエハをはり合せる時に結合が不均一になるばかりでなく、ウエハが帯電することにより、ウエハにパーティクルが付着しマイクロボイド等が発生してしまう。

【0062】しかし、上述したようなウエハの帯電防止によってこの問題は解消され、ウエハ作製歩留りが向上した。なお、全工程を不活性ガス雰囲気で行うのではなく、一部の重要な工程(例えばはり合せ工程等)のみをイオン化された不活性ガス中で実施しても良いことは言うまでもない。

【0063】実施例6

次に本発明の第6実施例について説明する。第2の実施例では、温純水中の洗浄によりSiエピタキシャル層表面を水素によって終端しはり合せたが、本実施例では、Si表面を水素ラジカル雰囲気にさらし、表面に形成される自然酸化膜あるいは金属性不純物等を除去するとともに、Si表面を活性化させた状態で、他方のウエハ表面であるSiO₂層と結合させる。この水素ラジカル処理を行うには水素ガス供給口に触媒を置き、水素ガスを通過させれば良い。また、Siエピタキシャル成長をバイアスパッタ装置で行う場合、スパッタチャンバ内でSi成長と連続して他方のウエハとのはり合せも行っても、さらにスパッタチャンバ内にO₂ガスを導入し表面をわずかに酸化してから、同様にスパッタチャンバ内ではり合わせても良い。以上、説明したように、水素ラジカル雰囲気でSiとSiO₂層をはり合せることにより、今まで以上に結合温度が下がり、多孔質層からのボロンドープおよび熱ひずみの問題を解消することができた。

【0064】実施例7

不純物濃度10¹⁶cm⁻³のn型基板上に厚さ8500ÅのSiO₂層を形成し、その上に形成された厚さ0.5μmの単結晶Si薄膜上に、下記条件でCMOS構成SRAMを試作した。CMOSのゲート長は0.3μm、集積度は16Mピットである。まず、素子分離用LOCOSを形成した。LOCOSの膜厚は、素子分離が完全に絶縁層で行えるように、10000Åとした。その後、pウエル形成用イオン注入を1×10¹²cm⁻²ドーズ、加速電圧80keV、nウエル形成用イオン注入を5×10¹¹cm⁻²ドーズ、加速電圧100keVで行い、1150°C、2hrs加熱して活性化した。このSi単結晶表面をH₂SO₄+H₂O₂洗浄し、水洗し、アンモニア過酸化水素水(NH₄OH:H₂O₂:H₂O=0.1:1:5)で洗浄し、再度、室温水洗、温純水洗を行った後、ゲート酸化炉で1000°Cのドライ

13

酸化により厚さ150Å酸化膜を形成した。ゲートとなるpolysiをCVDで形成した後、nMOS用ソースドレインイオン注入を $7 \times 10^{16} \text{ cm}^{-2}$ ドーズ、加速電圧100keVで、pMOS用ソースドレインイオン注入を $2 \times 10^{16} \text{ cm}^{-2}$ ドーズ、35keVで行い、1000°Cで5分間アニールした。さらに、層間絶縁層としてBPSGを形成し、コンタクト穴をバーニングし、配線用Al-Si-Cuをスパッタにより成膜した。バーニング後バッシベーション膜としてSiNを形成し、チップを作製した。

【0065】1000チップを試作した場合、ゲート酸化膜の耐圧不良による不良モードは1チップも存在せず、良好なゲート耐圧特性が得られた。また、SOIデバイスの低寄生容量構造とトランジスタの高移動度の実現により、アクセス時間3~4nsという高速動作が確認できた。

【0066】図1に示したウエハ上に、同様のSRAMを形成した場合、ゲート酸化膜の耐圧不良による不良はやはり発生せず、良好なゲート耐圧特性が得られた。

【0067】また、本発明のウエハを用いて、1インチ200万画素CCDも試作した。通常CCDの固定バーンノイズは、画素領域で発生する暗電流が主原因であるが、45°C加熱時の暗電流発生は 0.01 nA/cm^2 以下の極めて低いレベルに抑えられており、ウエハ表面の凹凸のみならず、Si層内部の結晶欠陥等も通常よりも少ないことが確認できた。

14

【0068】

【発明の効果】以上説明したように、本発明によれば、半導体部材は集積回路を形成すべき単結晶層の主面が極めて平坦であり、かつ単結晶層の結晶性が非常に良好である。そのために、この半導体部材を用いて高速かつ高集積度の半導体装置を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す模式的断面図である。

【図2】本発明の第2の実施例を示す模式的断面図である。

【図3】第2の実施例の例の作製方法を示す断面図である。

【図4】第2の実施例の例の他の作製方法を示す断面図である。

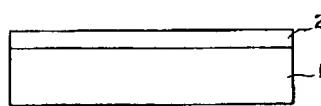
【図5】本発明の第3の実施例を示す模式的断面図である。

【図6】本発明の第4の実施例を示す模式的断面図である。

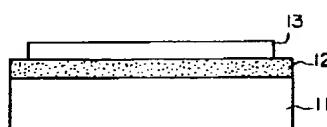
【符号の説明】

- 1, 11, 14 基板
- 2, 13 エピタキシャル単結晶層
- 12, 17, 18, 19 絶縁層
- 15 多孔質層
- 16 単結晶シリコン

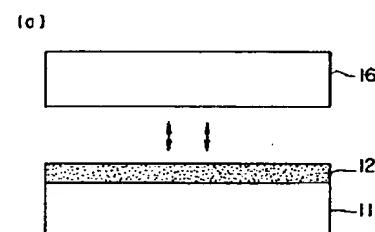
【図1】



【図2】



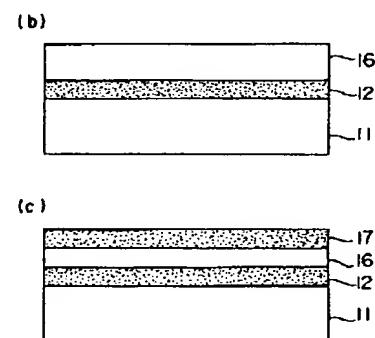
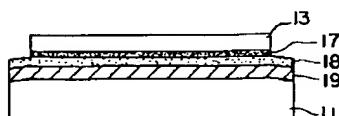
【図4】



【図5】



【図6】



【図3】

